

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069066

(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

G06F 12/14
G11C 16/06

(21)Application number : 07-254041

(71)Applicant : SHARP CORP

(22)Date of filing : 29.09.1995

(72)Inventor : FUKUMOTO KATSUMI
TAKI MASAMITSU

(30)Priority

Priority number : 07153687

Priority date : 20.06.1995

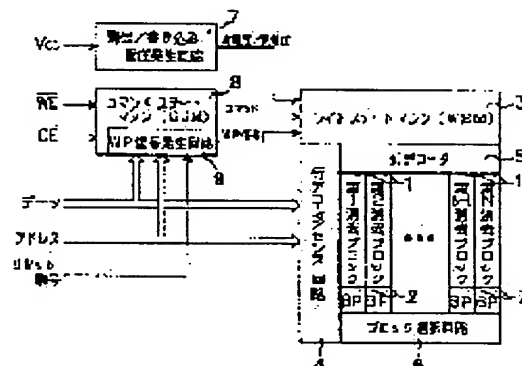
Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need to provide an input terminal for a write protect signal WP from outside and maintain compatibility with an existent EPROM, an existent EEPROM, etc.

SOLUTION: The signal WP for making a protection state set in a protection state setting part 2 of an erasure block 1 effective is generated by a WP signal generation part 9. This WP signal generation part 9 automatically makes the signal WP active when a command station 8 decides a lock block command. When a WP reset command decision part decides a WP reset command, the signal WP is made inactive. Even when a WP setting command decision part decides a setting command, the signal can be made active. Those functions operate when specific data is inputted in a 1st write cycle and a specific address and data are inputted in a 2nd write cycle.



LEGAL STATUS

[Date of request for examination]

16.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3487690

[Date of registration]

31.10.2003

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69066

(43) 公開日 平成9年(1997)3月11日

| (51) Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------------|--------------------|
| G 0 6 F 12/14 | 3 1 0 | | G 0 6 F 12/14 | 3 1 0 F 3 1 0 B |
| G 1 1 C 16/06 | | | G 1 1 C 17/00 | 3 0 9 F |

審査請求 未請求 請求項の数19 O L (全 17 頁)

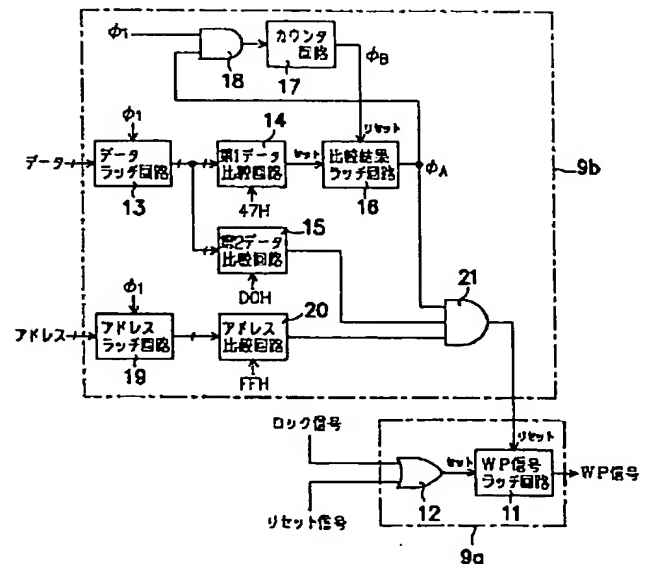
| | | | |
|--------------|-----------------|----------|--|
| (21) 出願番号 | 特願平7-254041 | (71) 出願人 | 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号 |
| (22) 出願日 | 平成7年(1995)9月29日 | (72) 発明者 | 福本 克巳 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 |
| (31) 優先権主張番号 | 特願平7-153687 | (72) 発明者 | 滝 将光 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 |
| (32) 優先日 | 平7(1995)6月20日 | (74) 代理人 | 弁理士 山本 秀策 |
| (33) 優先権主張国 | 日本 (J P) | | |

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】 (修正有)

【課題】 外部からライトプロテクト信号WPの入力端子を設ける必要がなく、既存のEPROMやEEPROMなどとの互換性を保つ。

【解決手段】 消去ブロック1の保護状態設定部2に設定された保護状態を有効にするためのWP信号をWP信号発生部9aで発生させる。このWP信号発生部9aは、コマンドステートマシン8がロックブロックコマンドを判定した場合にWP信号を自動的にアクティブにする。WP解除コマンド判定部9bがWP解除コマンドを判定した場合には、WP信号を非アクティブにする。なお、WP設定コマンド判定部9cがWP設定コマンドを判定した場合にもアクティブにすることができる。これらの機能は、1回目の書き込みサイクルで特定のデータが入力され、2回目の書き込みサイクルで特定のアドレスとデータが入力された場合に動作する。



(2)

【特許請求の範囲】

【請求項 1】 電氣的にデータの書き換えと消去が可能な不揮発性半導体記憶装置において、

所定の各アドレス領域について、それぞれ当該アドレス領域内のデータの書き込みと消去を禁止するための保護状態を設定することができる保護状態設定手段と、WP 信号がアクティブである場合にのみ、該保護状態設定手段が保護状態にあるデータの書き込み動作と消去動作を禁止するデータ保護手段と、

1 回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2 回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせにより WP 設定コマンドの入力を判定する WP 設定コマンド判定手段と、WP 信号を発生するものであり、少なくとも該 WP 信号が非アクティブである場合に、該 WP 設定コマンド判定手段が WP 設定コマンドの入力を判定すると、該 WP 信号をアクティブにする WP 信号発生手段とを備えた不揮発性半導体記憶装置。

【請求項 2】 電氣的にデータの書き換えと消去が可能な不揮発性半導体記憶装置において、所定の各アドレス領域について、それぞれ当該アドレス領域内のデータの書き込みと消去を禁止するための保護状態を設定することができる保護状態設定手段と、WP 信号がアクティブである場合にのみ、該保護状態設定手段が保護状態にあるデータの書き込み動作と消去動作を禁止するデータ保護手段と、

1 回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2 回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせにより WP 解除コマンドの入力を判定する WP 解除コマンド判定手段と、WP 信号を発生するものであり、少なくとも該 WP 信号がアクティブである場合に、該 WP 解除コマンド判定手段が WP 解除コマンドの入力を判定すると、該 WP 信号を非アクティブにする WP 信号発生手段とを備えた不揮発性半導体記憶装置。

【請求項 3】 電氣的にデータの書き換えと消去が可能な不揮発性半導体記憶装置において、所定の各アドレス領域について、それぞれ当該アドレス領域内のデータの書き込みと消去を禁止するための保護状態を設定することができる保護状態設定手段と、WP 信号がアクティブである場合にのみ、該保護状態設定手段が保護状態にあるデータの書き込み動作と消去動作を禁止するデータ保護手段と、

1 回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2 回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせにより WP 設定コマンドの入力を判定する WP 設定コマンド判定手段と、

2

1 回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2 回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせにより WP 解除コマンドの入力を判定する WP 解除コマンド判定手段と、WP 信号を発生するものであり、少なくとも該 WP 信号が非アクティブである場合に、該 WP 設定コマンド判定手段が WP 設定コマンドの入力を判定すると、該 WP 信号をアクティブにし、少なくとも該 WP 信号がアクティブである場合に、該 WP 解除コマンド判定手段が WP 解除コマンドの入力を判定すると、該 WP 信号を非アクティブにする WP 信号発生手段とを備えた不揮発性半導体記憶装置。

【請求項 4】 前記 WP 設定コマンド判定手段が、1 回のバスサイクルによって外部から入力される特定のデータ、または、2 回以上のバスサイクルによって外部から入力される特定のデータの組み合わせにより WP 設定コマンドの入力を判定する請求項 1 または請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 前記 WP 設定コマンド判定手段が、1 回目のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスと、2 回目のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスとの組み合わせにより WP 設定コマンドの入力を判定する請求項 1 または請求項 3 記載の不揮発性半導体記憶装置。

【請求項 6】 前記 WP 設定コマンド判定手段が、1 回目のバスサイクルによって外部から入力される特定のデータと、2 回目のバスサイクルによって外部から入力される特定のデータとの組み合わせにより WP 設定コマンドの入力を判定する請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記 WP 設定コマンド判定手段が、1 回目のバスサイクルによって外部から入力される特定のデータと、2 回目のバスサイクルによって外部から入力される特定のデータおよびアドレスとの組み合わせにより WP 設定コマンドの入力を判定する請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】 前記 WP 設定コマンド判定手段が、1 回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2 回目のバスサイクルによって外部から入力される特定のデータとの組み合わせにより WP 設定コマンドの入力を判定する請求項 5 記載の不揮発性半導体記憶装置。

【請求項 9】 前記 WP 設定コマンド判定手段が、1 回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2 回目のバスサイクルによって外部から入力される特定のデータおよびアドレスとの組み合わせにより WP 設定コマンドの入力を判定する請求項 5 記載の不揮発性半導体記憶装置。

(3)

3

【請求項10】 前記WP設定コマンド判定手段が、各バスサイクル時に入力されるデータをラッチするデータラッチ回路と、該データラッチ回路がラッチしたデータを特定のデータと比較するデータ比較回路と、該データ比較回路の比較結果をラッチする比較結果ラッチ回路と、各バスサイクル時に入力されるアドレスをラッチするアドレスラッチ回路と、該アドレスラッチ回路がラッチしたアドレスを特定のアドレスと比較するアドレス比較回路と、2回目のバスサイクル以降における、該比較結果ラッチ回路がラッチした前回比較結果がデータの一致であり、該データ比較回路の比較結果がデータの一致であり、かつ、該アドレス比較回路の比較結果がアドレスの一致である場合にWP設定コマンドであると判定する論理回路とからなる請求項7記載の不揮発性半導体記憶装置。

【請求項11】 前記WP解除コマンド判定手段が、1回のバスサイクルによって外部から入力される特定のデータ、または、2回以上のバスサイクルによって外部から入力される特定のデータの組み合わせによりWP解除コマンドの入力を判定する請求項2～3記載の不揮発性半導体記憶装置。

【請求項12】 前記WP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよび/またはアドレスと、2回目のバスサイクルによって外部から入力される特定のデータおよび/またはアドレスとの組み合わせによりWP解除コマンドの入力を判定する請求項2～3記載の不揮発性半導体記憶装置。

【請求項13】 前記WP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータと、2回目のバスサイクルによって外部から入力される特定のデータとの組み合わせによりWP解除コマンドの入力を判定する請求項12記載の不揮発性半導体記憶装置。

【請求項14】 前記WP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータと、2回目のバスサイクルによって外部から入力される特定のデータおよびアドレスとの組み合わせによりWP解除コマンドの入力を判定する請求項12記載の不揮発性半導体記憶装置。

【請求項15】 前記WP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2回目のバスサイクルによって外部から入力される特定のデータとの組み合わせによりWP解除コマンドの入力を判定する請求項12記載の不揮発性半導体記憶装置。

【請求項16】 前記WP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2回目のバスサイクルによ

4

組み合わせによりWP解除コマンドの入力を判定する請求項12記載の不揮発性半導体記憶装置。

【請求項17】 前記WP解除コマンド判定手段が、各バスサイクル時に入力されるデータをラッチするデータラッチ回路と、該データラッチ回路がラッチしたデータを特定のデータと比較するデータ比較回路と、該データ比較回路の比較結果をラッチする比較結果ラッチ回路と、各バスサイクル時に入力されるアドレスをラッチするアドレスラッチ回路と、該アドレスラッチ回路がラッチしたアドレスを特定のアドレスと比較するアドレス比較回路と、2回目のバスサイクル以降における、該比較結果ラッチ回路がラッチした前回比較結果がデータの一致であり、該データ比較回路の比較結果がデータの一致であり、かつ、該アドレス比較回路の比較結果がアドレスの一致である場合にWP解除コマンドであると判定する論理回路とからなる請求項14記載の不揮発性半導体記憶装置。

【請求項18】 前記WP信号発生手段が、電源投入時およびシステムのリセット時にWP信号をアクティブとする請求項1～17のいずれかに記載の不揮発性半導体記憶装置。

【請求項19】 1回のバスサイクルによって外部から入力される特定のデータおよび/またはアドレス、または、2回以上のバスサイクルによって外部から入力される特定のデータおよび/またはアドレスの組み合わせにより保護状態設定コマンドの入力を判定し、かつ、いずれかのバスサイクルによって外部から入力されるアドレスにより保護状態を設定するアドレス領域を指定する保護状態設定コマンド判定手段が設けられると共に、前記保護状態設定手段が、該保護状態設定コマンド判定手段が保護状態設定コマンドの入力を判定した場合に、指定されたアドレス領域について保護状態を設定するのであり、

前記WP信号発生手段が、該保護状態設定コマンド判定手段が保護状態設定コマンドの入力を判定した場合に、WP信号をアクティブとする請求項1～18のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電氣的にデータの書き換えと消去が可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 従来、ユーザ側でデータの書き換えが可能な不揮発性半導体記憶装置としては、FAMOS[Floating gate Avalanche injection Metal Oxide Semiconductor]構造などのセルトランジスタを用いたEPROM[Erasable Programmable Read-Only Memory]がある。このEPROMは、プログラマ(ライタ)と称される書き込み装置を用いてデータの書き込みを行うことがで

(4)

5

き、紫外線の照射により全メモリセルのデータを一括して消去することができる。そして、このEPROMは、メモリセル面積の小さい1トランジスタ/1セル構造が可能であるため、大容量の集積化が容易でビット単価が安いという利点を有する。しかし、消去の際の紫外線照射のために高価な石英ガラス付きのセラミックパッケージを用いる必要があるため、チップ単価があまり安くないだけでなく、データの書き込みには専用の書き込み装置を用いるので、チップの脱着が可能なソケットを介してシステムに装着しなければならず、この書き込みの際のチップの脱着の手間が面倒であり実装コストも高くなるという欠点があった。

【0003】一方、電気的に書き換えが可能となる不揮発性半導体記憶装置としては、FN[Fowler-Nordheim]トンネル電流を利用するFLOTOX[Floating gate Tunneloxide]構造などのセルトランジスタを用いたEEPROM[Electrically EPROM]がある。このEEPROMは、システムに装着したままで電気的にデータの書き込みと消去が可能となる利点を有する。しかし、各メモリセルには選択トランジスタが必要となるため、このメモリセル面積がEPROMの1.5～2倍程度の大きさとなるため、ビット単価が高くなり大容量化に適さないという欠点があった。

【0004】そこで、上記EPROMとEEPROMの利点を兼ね備えた不揮発性半導体記憶装置として、フラッシュメモリが従来から開発されている。このフラッシュメモリのメモリセルは、例えば米国特許5249158号や米国特許5245570号などにおいて開示されているように、図10に示すようなMOS[Metal Oxide Semiconductor]・FET[Field Effect Transistor]構造のセルトランジスタの制御ゲート41の下層にゲート酸化膜で絶縁された浮遊ゲート(floating gate)42を設けたものであり、これによって選択トランジスタを省略して1トランジスタ/1セル構造を実現することにより、EPROMと同程度の安いビット単価を得て大容量化に適したものとしている。しかも、電気的なデータの書き込みと消去が可能であるため、安価なプラスチックパッケージが利用でき、チップの脱着の手間もなくすることができる。ただし、データの消去は、チップ単位またはチップ内を複数の消去ブロックに分割した場合にはこの消去ブロック単位となる。

【0005】上記フラッシュメモリのセルトランジスタにデータを書き込む際には、制御ゲート41に12V程度の高電圧を印加すると共にソース43を接地(0V)し、ドレイン44に7V程度の電圧を印加する。すると、ドレイン44とソース43の間に大きな電流が流れ、これによってドレイン接合近傍に発生した高エネルギーのホットエレクトロンが浮遊ゲート42内に注入されて、この浮遊ゲート42に電子が蓄積される。したがって、データが書き込まれたセルトランジスタは、制御

6

ゲート41から見たしきい値電圧が高くなり、これによって例えば“1”のデータを記憶することができる。なお、このようにホットエレクトロンを用いて浮遊ゲート42に電子を注入する方式では、書き込み時に各セルトランジスタに1mA程度の大きな電流を供給する必要がある。そこで、通常のEEPROMと同様に、FNTトンネル電流を利用して電子の注入を行うことにより、書き込み時に必要となる電流を低減させるようにしたフラッシュメモリも開発されている。

【0006】データの消去の際には、ソース43に12V程度の高電圧を印加すると共に制御ゲート41を接地する。すると、浮遊ゲート42とソース43の間に高電界が発生し、この浮遊ゲート42に蓄積された電子が薄いゲート酸化膜を介してトンネル電流により引き抜かれるので、セルトランジスタのしきい値電圧が低下して記憶していたデータが消去される。ただし、フラッシュメモリのセルトランジスタは選択トランジスタが省略されているので、浮遊ゲート42から電子が過剰に引き抜かれる過剰消去が発生すると、セルトランジスタのしきい値電圧が負電圧となりリーク電流が流れるようになって、同一ビット線上のセルトランジスタへのアクセスが妨害される致命的な不良となる。したがって、データの消去を行う場合には、この過剰消去を防止するための対策を講じる必要がある。

【0007】なお、上記消去方法では、ソース43に高電圧を印加するので、ソース接合の耐電圧を高める必要上ソース電極側が微細化し難くすると共に、ソース接合近傍に発生したホットホールの一部がゲート酸化膜中にトラップされてセルトランジスタの信頼性が低下するという欠点が生じる。そこで、ソース43に電源電圧VCC(通常は約5V)を印加すると共に制御ゲート41に-10V程度の負電圧を印加し、浮遊ゲート42に蓄積された電子をトンネル電流により引き抜くことにより消去を行う方法(負ゲート消去)もある。この負ゲート消去によれば、ソース43に印加される電圧が低下するので、ソース接合の耐電圧を低くすることができ、セルトランジスタのゲート長を短縮することができるという利点がある。また、ソース43に高電圧を印加する上記消去方法では、消去時に流れるバンド間トンネル電流がチップ全体で数mAに達するので、通常の電流供給能力の小さい昇圧回路ではこの高電圧を供給することができず、消去用の高電圧V_{pp}を外部の電源から供給する必要があった。しかし、負ゲート消去を用いた場合には、ソース43には電源電圧VCCを印加すればよいので、フラッシュメモリにこの電源電圧VCCのみを供給する単一電源化を比較的容易に可能にすることができる。

【0008】データの読み出しの際には、ソース43を接地(0V)してドレイン44に1V程度の低電圧を印加すると共に、制御ゲート41に電源電圧VCC(通常は約5V)を印加する。すると、浮遊ゲート42に電子が

(5)

7

蓄積されていない場合にはしきい値電圧が低いためにセルトランジスタが導通してドレイン44とソース43の間にドレイン電流が流れるが、上記書き込みが行われて浮遊ゲート42に電子が蓄積されている場合にはしきい値電圧が高くなってセルトランジスタが遮断されたままになるので、ドレイン44とソース43の間にほとんどドレイン電流が流れない。したがって、このドレイン電流の大小を検出することにより、セルトランジスタに記憶された“0”または“1”のデータを読み出すことができる。なお、この読み出しの際にドレイン44に印加する電圧を1V程度の低電圧とするのは、高い電圧の印加により寄生的な弱い書き込み（ソフトライト）が発生するのを防止するためである。

【0009】上記フラッシュメモリのセルトランジスタは、書き込みをドレイン接合側で行い、消去をソース接合側で行うので、素子設計上のこれらの接合プロファイルそれぞれの動作に応じて最適化することが望ましい。即ち、ドレイン接合は、書き込み効率を高めるために電界集中型プロファイルを用いると共に、ソース接合は、消去の際の高電圧を印加可能にするために電界緩和型プロファイルを用いて、ドレイン接合側とソース接合側が非対称構造となるようにする。

【0010】ところで、近年の電池駆動による携帯型の電子機器の普及や半導体製造プロセスの微細化に伴い、半導体装置の動作電源の低電圧化が要望されるようになって来て、最近では電源電圧VCCを5Vから3.3Vに低下させた半導体装置の開発が活発になっている。そして、上記フラッシュメモリにおいても、この3.3Vの電源電圧VCCにより動作するデバイスが開発されている。ただし、このような3.3Vの電源電圧VCCを用いるフラッシュメモリであっても、現状では、読み出し時にセルトランジスタの制御ゲート41に印加する電圧は、動作の高速化と動作マージンを十分に拡大するために、チップ内部に設けたワード線昇圧回路によって電源電圧VCCを5V程度に昇圧して印加するようにしている。

【0011】上記フラッシュメモリは、RAM[Random Access Memory]などと異なり、データの書き込みや読み出しの他に、ブロック消去やチップ一括消去および状態レジスタの読み出しなどの多数の動作状態を備えている。したがって、これらの各動作状態を外部から送られて来るチップイネーブル信号CEバーやライトイネーブル信号WEバーなどの制御信号の組み合わせで指定しようとすると、従来のEPROMやEEPROMの制御信号以外にさらに新たな制御信号を定め、それぞれの制御信号ごとに入力端子を設けなければならないために使い難いデバイスとなる。そこで、実際に実用化されているフラッシュメモリは、米国特許5053990号に開示されているように、制御信号の組み合わせではなく、データやアドレスの組み合わせをコマンドとし、これによ

8

り各動作状態を指定するコマンド方式が主流になっている。このようなフラッシュメモリでは、外部から入力されたコマンドの種類をコマンドステートマシン(CSM)が判定し、このコマンドに応じてライトステートマシン(WSM)がそれぞれの動作を実行することになる。

【0012】上記フラッシュメモリは、米国特許5249158号に開示されたようにメモリセルアレイを分割した消去ブロックの大きさが不均等なもの(ブートブロック構成)と、米国特許5245570号に開示されたようにこの消去ブロックの大きさが均等なものがある。そして、消去ブロックを均等な大きさに分割したフラッシュメモリには、消去ブロック内のデータの消去と書き込みを禁止するために、各消去ブロックごとに保護状態を設定可能にしたWP[Write Protect]機能を備えたものがある。また、このようなフラッシュメモリは、外部からライトプロテクト信号WPバーを入力するためのWPバー入力端子を設けている。ライトプロテクト信号WPバーは、これがアクティブ(Lレベル)の場合に各消去ブロックに設定された保護状態を有効にし、非アクティブ(Hレベル)の場合にはこの保護状態を無効にするための制御信号である。即ち、WPバー入力端子がLレベルに設定されている場合にのみ、保護状態を設定された消去ブロックへの消去動作と書き込み動作を禁止し、その他の場合には全て消去/書き込み動作を実行可能とする。なお、ブートブロック構成のものは、特定のピンに12Vの高電圧を印加するかしないかで消去ブロックの保護を行っている。

【0013】

【発明が解決しようとする課題】ところが、上記WP機能を備えたフラッシュメモリでは、WPバー入力端子を有するために、既存のEPROMやEEPROMなどのメモリデバイスとの互換性がなくなり、ライトプロテクト信号WPバーを入力するための周辺回路が増加するという問題があった。また、このWPバー入力端子に入力するライトプロテクト信号WPバーをアクティブに設定する前に、重要なデータなどが誤って消去されたり書き換えられるおそれが生じ易いという問題もあった。

【0014】本発明は、上記従来の問題を解決するもので、内部的に発生させたWP信号を外部からのコマンドによって切り換えることによりデータの保護状態の有効/無効を制御することができる不揮発性半導体記憶装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、電氣的にデータの書き換えと消去が可能な不揮発性半導体記憶装置において、所定の各アドレス領域について、それぞれ当該アドレス領域内のデータの書き込みと消去を禁止するための保護状態を設定することができる保護状態設定手段と、WP信号がアクティブで

(6)

9

ある場合にのみ、該保護状態設定手段が保護状態にあるデータの書き込み動作と消去動作を禁止するデータ保護手段と、1回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせによりWP設定コマンドの入力を判定するWP設定コマンド判定手段と、WP信号を発生するものであり、少なくとも該WP信号が非アクティブである場合に、該WP設定コマンド判定手段がWP設定コマンドの入力を判定すると、該WP信号をアクティブにするWP信号発生手段とを備え、そのことにより上記目的が達成される。

【0016】また、好ましくは、本発明の不揮発性半導体記憶装置において、電氣的にデータの書き換えと消去が可能な不揮発性半導体記憶装置において、所定の各アドレス領域について、それぞれ当該アドレス領域内のデータの書き込みと消去を禁止するための保護状態を設定することができる保護状態設定手段と、WP信号がアクティブである場合にのみ、該保護状態設定手段が保護状態にあるデータの書き込み動作と消去動作を禁止するデータ保護手段と、1回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせによりWP解除コマンドの入力を判定するWP解除コマンド判定手段と、WP信号を発生するものであり、少なくとも該WP信号がアクティブである場合に、該WP解除コマンド判定手段がWP解除コマンドの入力を判定すると、該WP信号を非アクティブにするWP信号発生手段とを備えている。

【0017】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、電氣的にデータの書き換えと消去が可能な不揮発性半導体記憶装置において、所定の各アドレス領域について、それぞれ当該アドレス領域内のデータの書き込みと消去を禁止するための保護状態を設定することができる保護状態設定手段と、WP信号がアクティブである場合にのみ、該保護状態設定手段が保護状態にあるデータの書き込み動作と消去動作を禁止するデータ保護手段と、1回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせによりWP設定コマンドの入力を判定するWP設定コマンド判定手段と、1回のバスサイクルによって外部から入力される特定のデータおよび／またはアドレス、または、2回以上のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスの組み合わせによりWP解除コマンドの入力を判定するWP解除コマンド判定手段と、WP信号を発生するものであり、少なくとも該WP信号が非アクティブである場合に、該WP設

10

定コマンド判定手段がWP設定コマンドの入力を判定すると、該WP信号をアクティブにし、少なくとも該WP信号がアクティブである場合に、該WP解除コマンド判定手段がWP解除コマンドの入力を判定すると、該WP信号を非アクティブにするWP信号発生手段とを備えている。

【0018】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP設定コマンド判定手段が、1回のバスサイクルによって外部から入力される特定のデータ、または、2回以上のバスサイクルによって外部から入力される特定のデータの組み合わせによりWP設定コマンドの入力を判定するものである。

【0019】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP設定コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスと、2回目のバスサイクルによって外部から入力される特定のデータおよび／またはアドレスとの組み合わせによりWP設定コマンドの入力を判定するものである。

【0020】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP設定コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータと、2回目のバスサイクルによって外部から入力される特定のデータとの組み合わせによりWP設定コマンドの入力を判定するものである。

【0021】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP設定コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータと、2回目のバスサイクルによって外部から入力される特定のデータおよびアドレスとの組み合わせによりWP設定コマンドの入力を判定するものである。

【0022】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP設定コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2回目のバスサイクルによって外部から入力される特定のデータとの組み合わせによりWP設定コマンドの入力を判定するものである。

【0023】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP設定コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2回目のバスサイクルによって外部から入力される特定のデータおよびアドレスとの組み合わせによりWP設定コマンドの入力を判定するものである。

【0024】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP設定コマンド判定手段が、各バスサイクル時に入力されるデータをラッチするデータラッチ回路と、該データラッチ回路がラッチしたデータを特定のデータと比較するデータ比較回路と、該データ比較回路の比較結果をラッチする比較結果ラッチ回路

50

(7)

11

と、各バスサイクル時に入力されるアドレスをラッチするアドレスラッチ回路と、該アドレスラッチ回路がラッチしたアドレスを特定のアドレスと比較するアドレス比較回路と、2回目のバスサイクル以降における、該比較結果ラッチ回路がラッチした前回比較結果がデータの一致であり、該データ比較回路の比較結果がデータの一致であり、かつ、該アドレス比較回路の比較結果がアドレスの一致である場合にWP設定コマンドであると判定する論理回路とからなるものである。さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP解除コマンド判定手段が、1回のバスサイクルによって外部から入力される特定のデータ、または、2回以上のバスサイクルによって外部から入力される特定のデータの組み合わせによりWP解除コマンドの入力を判定するものである。

【0025】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよび/またはアドレスと、2回目のバスサイクルによって外部から入力される特定のデータおよび/またはアドレスとの組み合わせによりWP解除コマンドの入力を判定するものである。

【0026】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータと、2回目のバスサイクルによって外部から入力される特定のデータとの組み合わせによりWP解除コマンドの入力を判定するものである。

【0027】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータと、2回目のバスサイクルによって外部から入力される特定のデータおよびアドレスとの組み合わせによりWP解除コマンドの入力を判定するものである。

【0028】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2回目のバスサイクルによって外部から入力される特定のデータとの組み合わせによりWP解除コマンドの入力を判定するものである。

【0029】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP解除コマンド判定手段が、1回目のバスサイクルによって外部から入力される特定のデータおよびアドレスと、2回目のバスサイクルによって外部から入力される特定のデータおよびアドレスとの組み合わせによりWP解除コマンドの入力を判定するものである。

【0030】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP解除コマンド判定手段が、各バスサイクル時に入力されるデータをラッチするデータ

12

ラッチ回路と、該データラッチ回路がラッチしたデータを特定のデータと比較するデータ比較回路と、該データ比較回路の比較結果をラッチする比較結果ラッチ回路と、各バスサイクル時に入力されるアドレスをラッチするアドレスラッチ回路と、該アドレスラッチ回路がラッチしたアドレスを特定のアドレスと比較するアドレス比較回路と、2回目のバスサイクル以降における、該比較結果ラッチ回路がラッチした前回比較結果がデータの一致であり、該データ比較回路の比較結果がデータの一致であり、かつ、該アドレス比較回路の比較結果がアドレスの一致である場合にWP解除コマンドであると判定する論理回路とからなるものである。さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるWP信号発生手段が、電源投入時およびシステムのリセット時にWP信号をアクティブとするものである。

【0031】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、1回のバスサイクルによって外部から入力される特定のデータおよび/またはアドレス、または、2回以上のバスサイクルによって外部から入力される特定のデータおよび/またはアドレスの組み合わせにより保護状態設定コマンドの入力を判定し、かつ、いずれかのバスサイクルによって外部から入力されるアドレスにより保護状態を設定するアドレス領域を指定する保護状態設定コマンド判定手段が設けられると共に、前記保護状態設定手段が、該保護状態設定コマンド判定手段が保護状態設定コマンドの入力を判定した場合に、指定されたアドレス領域について保護状態を設定するものであり、前記WP信号発生手段が、該保護状態設定コマンド判定手段が保護状態設定コマンドの入力を判定した場合に、WP信号をアクティブとするものである。

【0032】以下、その作用について説明する。

【0033】上記構成により、不揮発性半導体記憶装置の内部に設けたWP信号発生手段がWP信号を発生する。このWP信号がアクティブであれば、データ保護手段が保護状態を設定したデータの書き込み動作と消去動作を禁止する。そして、外部から特定のデータやアドレスの組み合わせが入力された場合に、WP設定コマンド判定手段やWP解除コマンド判定手段がWP設定コマンドやWP解除コマンドを判定して、このWP信号をアクティブまたは非アクティブにする。したがって、外部からライトプロテクト信号WPバーを入力するためのWPバー入力端子を設ける必要がなくなり、既存のEPROMやEEPROMなどとの互換性を保って周辺回路を簡略化することができるようになる。また、WP設定コマンド判定手段を設けた場合には、専用のコマンドによって明示的にWP信号をアクティブにすることができる。例えば保護状態を設定したデータの内容を修正する必要が生じたためにWP解除コマンドでWP信号を一時的に非アクティブにしたような場合に、WP設定コマンドを

(8)

13

用いてWP信号を再びアクティブに戻すことができるようになる。

【0034】なお、WP設定コマンドやWP解除コマンドがWP信号をアクティブまたは非アクティブにするためのコマンドである場合には、WP信号のアクティブ／非アクティブにかかわらず、WP信号発生手段は、WP設定コマンドの入力によりこのWP信号をアクティブにし、また、WP解除コマンドの入力によりこのWP信号を非アクティブにする。しかし、WP設定コマンドやWP解除コマンドがトグル動作を行うように設定されている場合には、WP信号がアクティブである場合にWP設定コマンドが入力されると、WP信号を非アクティブにし、WP信号が非アクティブである場合にWP解除コマンドが入力されると、WP信号をアクティブにする。

【0035】また、上記構成により、WP設定コマンド判定手段は、外部から入力される特定のデータのみによってWP設定コマンドを判定するので、コマンド体系を簡略化することができる。

【0036】さらに、上記構成により、WP設定コマンド判定手段は、2回のバスサイクルによって外部から特定のデータやアドレスが入力された場合にWP設定コマンドを判定するので、1回のバスサイクルのみで判定する場合に比べ、偶然にWP設定コマンドが入力される危険を低減させると共に、3回以上のバスサイクルによって判定する場合に比べ、コマンドの実行時間を短縮させることができる。

【0037】さらに、上記構成により、WP設定コマンド判定手段は、2回のバスサイクルによって外部から入力される特定のデータのみによりWP設定コマンドを判定するので、コマンド体系を簡略化すると共に回路構成も簡易化することができる。さらに、上記構成により、WP設定コマンド判定手段は、2回目のバスサイクルで特定のアドレスの入力も考慮してWP設定コマンドを判定するので、偶然にWP設定コマンドが入力される危険を低減させることができる。

【0038】さらに、上記構成により、WP設定コマンド判定手段は、1回目のバスサイクルで特定のアドレスの入力も考慮してWP設定コマンドを判定するので、偶然にWP設定コマンドが入力される危険を低減させることができる。

【0039】さらに、上記構成により、WP設定コマンド判定手段は、1回目と2回目のバスサイクルで特定のアドレスの入力も考慮してWP設定コマンドを判定するので、偶然にWP設定コマンドが入力される危険をほとんどなくすることができる。

【0040】さらに、上記構成により、WP設定コマンド判定手段を簡単な回路の組み合わせによって構成することができる。

【0041】さらに、上記構成により、WP解除コマ

14

ンド判定手段は、外部から入力される特定のデータのみによってWP解除コマンドを判定するので、コマンド体系を簡略化することができる。

【0042】さらに、上記構成により、WP解除コマンド判定手段は、2回のバスサイクルによって外部から特定のデータやアドレスが入力された場合にWP解除コマンドを判定するので、1回のバスサイクルのみで判定する場合に比べ、偶然にWP解除コマンドが入力される危険を低減させると共に、3回以上のバスサイクルによって判定する場合に比べ、コマンドの実行時間を短縮させることができる。

【0043】さらに、上記構成により、WP解除コマンド判定手段は、2回のバスサイクルによって外部から入力される特定のデータのみによりWP解除コマンドを判定するので、コマンド体系を簡略化すると共に回路構成も簡易化することができる。さらに、上記構成により、WP解除コマンド判定手段は、2回目のバスサイクルで特定のアドレスの入力も考慮してWP解除コマンドを判定するので、偶然にWP解除コマンドが入力される危険を低減させることができる。

【0044】さらに、上記構成により、WP解除コマンド判定手段は、1回目のバスサイクルで特定のアドレスの入力も考慮してWP解除コマンドを判定するので、偶然にWP解除コマンドが入力される危険を低減させることができる。

【0045】さらに、上記構成により、WP解除コマンド判定手段は、1回目と2回目のバスサイクルで特定のアドレスの入力も考慮してWP解除コマンドを判定するので、偶然にWP解除コマンドが入力される危険をほとんどなくすることができる。

【0046】さらに、上記構成により、WP解除コマンド判定手段を簡単な回路の組み合わせによって構成することができる。

【0047】さらに、上記構成により、WP信号発生手段が電源投入時やシステムのリセット時にWP信号を強制的にアクティブにするので、以前に保護状態を設定したことを忘れて誤ってこのデータを破損してしまうような間違いをなくすることができる。

【0048】さらに、上記構成により、保護状態設定コマンドが入力されるとWP信号も自動的にアクティブになるので、保護状態設定コマンドの発行後にWP信号をアクティブにするコマンドの発行を忘れて保護状態を設定したデータを破損してしまうようなおそれなくなる。

【0049】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0050】図1～図6は本発明の第1実施形態を示すものであって、図1はWP信号発生回路の構成を示すブロック図、図2は不揮発性半導体記憶装置の構成を示す

(9)

15

ブロック図、図3はWP信号ラッチ回路の具体的構成を示すブロック図、図4はデータラッチ回路の具体的構成を示すブロック図、図5は第1データ比較回路の具体的構成を示すブロック図、図6はWP信号発生回路の動作を示すタイムチャートである。

【0051】本実施形態は、メモリセルとしてフラッシュメモリを用いた不揮発性半導体記憶装置について説明する。この不揮発性半導体記憶装置は、図2に示すように、メモリセルアレイがN個の消去ブロック（セクタ）1に分割されている。各消去ブロック1は、それぞれ同じ数の複数のメモリセルからなる。これらの各消去ブロック1には、それぞれ不揮発性のメモリセルを用いた保護状態(Block Protect)設定部2が設けられている。ライトステートマシン3は、これらの消去ブロック1内のメモリセルにデータを書き込むための書き込み（プログラム）動作や、このメモリセルのデータを消去ブロック1単位で消去するための消去動作などを実行する回路である。そして、書き込み動作や読み出し動作などの場合には、外部から入力されたアドレスに基づいて、行デコーダ/センス回路4の行デコーダがワード線を選択すると共に、列デコーダ5がビット線を選択することにより、これらの消去ブロック1内のメモリセルを特定する。この際、行デコーダ/センス回路4のセンス回路は、列デコーダ5が選択したビット線をセンスする。また、消去動作の場合には、外部から入力されたアドレスに基づいて、ブロック選択回路6が消去を行う消去ブロック1を特定する。

【0052】消去/書き込み電圧発生回路7は、外部から供給される電源電圧VCCに基づいて高電圧（12V）を発生する昇圧回路であり、この高電圧をライトステートマシン3に供給することによりフラッシュメモリの消去動作と書き込み動作が実行される。なお、本実施形態のフラッシュメモリが負ゲート消去を行うタイプのもの*

16

*である場合には、この消去/書き込み電圧発生回路7は、高電圧に代えて負電圧を発生させる。

【0053】コマンドステートマシン8は、外部から入力されたチップイネーブル信号CEバーとライトイネーブル信号WEバーとデータとアドレスによってコマンドの種類を判定する回路である。チップイネーブル信号CEバーは、当該不揮発性半導体記憶装置へのアクセスの有無を示す制御信号であり、これがアクティブ（Lレベル）の場合にのみコマンドステートマシン8が動作する。ライトイネーブル信号WEバーは、書き込みと読み出しの区別を行う制御信号であり、これがアクティブ（Lレベル）の場合にはバスサイクルが書き込みサイクルとなる。データは、メモリセルに書き込むためのデータとして行デコーダ/センス回路4に送られると共に、コマンド用としてこのコマンドステートマシン8に送られる。アドレスは、データを書き込むメモリセルや消去を行う消去ブロック1を特定するために行デコーダ/センス回路4や列デコーダ5に送られると共に、コマンド用としてこのコマンドステートマシン8に送られる。コマンドステートマシン8は、1回～3回程度のバスサイクルの間に、これらライトイネーブル信号WEバーがアクティブであるかどうかを検出すると共に、データの値と場合によってアドレスの値が所定値であるかどうかを検出することによりコマンドを判定する。判定されたコマンドは、ライトステートマシン3に送られ、これによって書き込み動作や消去動作などが実行される。また、このコマンドステートマシン8には、外部から入力されたリセット信号により、電源投入時やシステムのリセット時に初期化が行われるようになっている。

【0054】上記コマンドステートマシン8が判定するコマンドの一部を表1に示す。

【0055】

【表1】

| コマンド | 1回目の書き込みサイクル | | 2回目の書き込みサイクル | |
|---------|--------------|-------|--------------|-------|
| | アドレス | データ | アドレス | データ |
| データ書き込み | Don't Care | 4 0 H | W A | W D |
| ブロック消去 | Don't Care | 2 0 H | B A | D 0 H |
| ロックブロック | Don't Care | 7 7 H | B A | D 0 H |

【0056】なお、ここで示すコマンドは、バスサイクルが全て書き込みサイクルの場合のもののみを示し、各バスサイクルでは、チップイネーブル信号CEバーとライトイネーブル信号WEバーは共にアクティブ（Lレベル）になるものとする。この表1において、1回目の書き込みサイクルで送られて来たデータが4 0 H（「H」は数値が16進表記であることを示す。また、以降も同様である）であった場合には、データ書き込みコマンドであると判定し、2回目の書き込みサイクルで送られて来た書き込みアドレスWAと書き込みデータWDに基づ

いてライトステートマシン3に書き込み動作を実行させる。また、1回目の書き込みサイクルと2回目の書き込みサイクルで送られて来たデータがそれぞれ2 0 HとD 0 Hであった場合には、ブロック消去コマンドであると判定し、2回目の書き込みサイクルで送られて来た消去ブロックアドレスBAに基づいてライトステートマシン3に消去動作を実行させる。さらに、1回目の書き込みサイクルと2回目の書き込みサイクルで送られて来たデータがそれぞれ7 7 HとD 0 Hであった場合には、ロックブロックコマンド（保護状態設定コマンド）であると

50

(10)

17

判定し、2回目の書き込みサイクルで送られて来たロックブロックアドレスBAに基づいてライトステートマシン3により、当該消去ブロック1の保護状態設定部2に保護状態を設定させる。なお、コマンドステートマシン8におけるこれらの動作は、従来例で示した不揮発性半導体記憶装置と同じである。

【0057】上記コマンドステートマシン8には、WP信号発生回路9が設けられている。WP信号発生回路9は、WP信号を発生させてライトステートマシン3に送る回路である。ライトステートマシン3は、このWP信号がアクティブ（Hレベル）な場合に、各消去ブロック1の保護状態設定部2に設定された保護状態を有効なものとして取り扱う。即ち、表2に示すように、

【0058】

【表2】

| WP信号 | 保護状態設定部2 | 消去／書き込み動作 |
|------|----------|-----------|
| H | 保護状態 | 禁止 |
| | 消去／書き込み可 | 実行可能 |
| L | 保護状態 | 実行可能 |
| | 消去／書き込み可 | 実行可能 |

【0059】WP信号がHレベルの場合にのみ、保護状態を設定された消去ブロック1への消去動作と書き込み動作を禁止し、その他の場合には全て消去／書き込み動作を実行可能とする。

【0060】WP信号発生回路9は、図1に示すように、WP信号発生部9aとWP解除コマンド判定部9bとで構成されている。WP信号発生部9aは、WP信号ラッチ回路11からWP信号を出力するようになっている。WP信号ラッチ回路11は、図3に示すように、フリップフロップ回路を構成する2個のインバータ11a、11bと、このインバータ11aの出力を反転してWP信号として出力する1個のインバータ11cと、ゲートがそれぞれセット端子とリセット端子に接続された2個のNチャンネルのMOS・FET11d、11eとからなる。したがって、セット端子がHレベルになると、MOS・FET11dがONとなるので、インバータ11aの出力がLレベルとなりインバータ11cから出力されるWP信号がHレベルとなって、セット端子がLレベルに戻った後もこの状態が維持される。また、リセット端子がHレベルになると、MOS・FET11eがONとなるので、インバータ11aの出力がHレベルとなりインバータ11cから出力されるWP信号がLレベルとなって、リセット端子がLレベルに戻った後もこの状態が維持される。図1に示すように、このWP信号ラッチ回路11のセット端子には、OR回路12を介してロック信号とリセット信号が入力されると共に、リセット端子には、WP解除コマンド判定部9bの出力が入力されるようになっている。ロック信号は、コマンドス

18

テートマシン8が上記ロックブロックコマンドを判定した場合にHレベルとなる信号である。このため、外部からの操作によりいずれかの消去ブロック1の保護状態設定部2に保護状態が設定されると、WP信号ラッチ回路11がセットされてWP信号がアクティブ（Hレベル）となるので、この保護状態が自動的に有効になる。また、リセット信号は、電源投入時やシステムのリセット時にHレベルとなる信号である。このため、電源投入時やシステムのリセット時には、WP信号ラッチ回路11がセットされてWP信号がアクティブ（Hレベル）となるので、以前に保護状態設定部2に設定されていた保護状態が自動的に有効になる。

【0061】WP解除コマンド判定部9bは、外部から入力されたデータをタイミング信号φ1によってデータラッチ回路13にラッチするようになっている。タイミング信号φ1は、図6に示すように、ライトイネーブル信号WEバーを反転させた信号であり、各書き込みサイクルの前半（時刻t1～t2、t3～t4）に一旦Hレベルとなり、後半（時刻t2～t3、t4～t5）にLレベルに戻る。データラッチ回路13は、図4に示すように、フリップフロップ回路を構成する2個のインバータ13a、13bと、このインバータ13aの出力を反転する1個のインバータ13cと、ゲートにタイミング信号φ1またはこのタイミング信号φ1をインバータ13dで反転させた信号が入力されるようになった2個ずつのNチャンネルのMOS・FET13e、13fとPチャンネルのMOS・FET13g、13hからなる1ビットのラッチ回路をデータのビット幅の数だけ併設した回路である。したがって、図6に示すように、各書き込みサイクルの前半にタイミング信号φ1がHレベルになると、MOS・FET13e、13hがONとなり、データの各ビットがそれぞれフリップフロップ回路に入力される。また、書き込みサイクルの後半にタイミング信号φ1がLレベルに戻ると、MOS・FET13e、13hがOFFに戻り、直前に入力されたデータの各ビットがそれぞれフリップフロップ回路にラッチされると共に、MOS・FET13f、13gがONとなるので、このラッチされたデータの各ビットが出力される。

【0062】図1に示すように、データラッチ回路13でラッチされたデータは、第1データ比較回路14と第2データ比較回路15にそれぞれ入力される。第1データ比較回路14は、図5に示すように、データのビット幅の数と同じ個数のEX-NOR回路14aと、これら全てのEX-NOR回路14aの出力の論理積を取る1個の多入力AND回路14bとからなる回路である。なお、本実施形態では、データとアドレスが共に8ビットの例を示すので、図5では、8個のEX-NOR回路14aを設けた場合を示している。各EX-NOR回路14aは、2方の入力の論理レベルが一致した場合にのみHレベルを出力する排他的論理和回路である。これらの

(11)

19

EX-NOR回路14aの一方の入力端子には、データラッチ回路13が出力するデータの各ビットが入力され、他方の入力端子には、予め設定された比較値の各ビットが入力される。したがって、このデータと比較値の各ビットが全部一致すると、全てのEX-NOR回路14aの出力がHレベルとなるので、多入力AND回路14bから出力される比較結果もHレベルとなる。しかし、データと比較値が1ビットでも相違すると、いずれかのEX-NOR回路14aの出力がLレベルとなるので、多入力AND回路14bから出力される比較結果もLレベルとなる。図1に示す第2データ比較回路15も、この図5に示した第1データ比較回路14と同様の構成である。ただし、第1データ比較回路14は、比較値として47Hを設定しているので、入力されたデータがこの47Hである場合にのみ比較結果としてHレベルを出力し、第2データ比較回路15は、比較値としてD0Hを設定しているので、入力されたデータがこのD0Hである場合にのみ比較結果としてHレベルを出力する。

【0063】上記第1データ比較回路14から出力された比較結果は、比較結果ラッチ回路16のセット端子に入力される。比較結果ラッチ回路16は、図3に示したWP信号ラッチ回路11と同様の構成の回路である。したがって、図6に示すように、1回目の書き込みサイクルの時刻t2に、データラッチ回路13が47Hのデータをラッチすることにより第1データ比較回路14の比較結果がHレベルになると、少し遅れてこの比較結果ラッチ回路16が出力する前回比較結果φAがHレベルになる。また、比較結果ラッチ回路16のリセット端子には、カウンタ回路17が出力するカウントアップ信号φBが入力されるようになっている。カウンタ回路17は、この比較結果ラッチ回路16が出力する前回比較結果φAがHレベルである間にAND回路18を介してタイミング信号φ1を入力し、このタイミング信号φ1の立ち上がりを2回カウントする回路であり、2回のカウントを行うと、出力のカウントアップ信号φBをHレベルにするようになっている。したがって、図6に示すように、時刻t2の少し後に前回比較結果φAがHレベルになると、カウンタ回路17がタイミング信号φ1の立ち上がりを時刻t3と時刻t5でカウントし、この時刻t5に2回目のカウントが行われるとカウントアップ信号φBがHレベルになるので、これより少し遅れて比較結果ラ

20

ッチ回路16が出力する前回比較結果φAがLレベルに戻る。

【0064】図1に示すように、上記WP解除コマンド判定部9bは、外部から入力されたアドレスをタイミング信号φ1によってアドレスラッチ回路19にラッチするようになっている。アドレスラッチ回路19は、図4に示したデータラッチ回路13と同様の構成の回路であり、図6に示す1回目の書き込みサイクルの時刻t2と2回目の書き込みサイクルの時刻t4にアドレスをラッチして出力する。このアドレスラッチ回路19がラッチしたアドレスは、アドレス比較回路20に送られる。アドレス比較回路20は、図5に示した第1データ比較回路14や第2データ比較回路15と同様の構成の回路であるが、比較値としてFFHが設定されているので、入力されたアドレスがこのFFHである場合にのみ比較結果としてHレベルを出力する。

【0065】上記比較結果ラッチ回路16が出力する前回比較結果φAと第2データ比較回路15が出力する比較結果とアドレス比較回路20が出力する比較結果は、3入力AND回路21に入力され、この3入力AND回路21の出力が上記WP信号発生部9aにおけるWP信号ラッチ回路11のリセット端子に入力されるようになっている。したがって、図6に示すように、1回目の書き込みサイクルで47Hのデータが入力されることにより時刻t2の少し後に前回比較結果φAがHレベルになり、2回目の書き込みサイクルでD0HのデータとFFHのアドレスが入力されることにより時刻t4に第2データ比較回路15とアドレス比較回路20の比較結果がHレベルになると、3入力AND回路21の出力がHレベルになってWP信号ラッチ回路11がリセットされWP信号が非アクティブ（Lレベル）となるので、保護状態設定部2に設定されていた保護状態が無効となる。なお、この3入力AND回路21の出力は、時刻t5以降に前回比較結果φAがLレベルに戻ることにによりLレベルとなるが、WP信号ラッチ回路11は、これ以降もセット端子にHレベルが入力されるまでWP信号のLレベルを維持する。

【0066】上記構成の不揮発性半導体記憶装置は、コマンドステートマシン8に設けられたWP信号発生回路9によって表3に示すWP解除コマンドが判定される。

【0067】

【表3】

| コマンド | 1回目の書き込みサイクル | | 2回目の書き込みサイクル | |
|----------|--------------|-----|--------------|-----|
| | アドレス | データ | アドレス | データ |
| WP解除コマンド | Don't Care | 47H | FFH | D0H |

【0068】即ち、各バスサイクルは、チップイネーブル信号CEバーとライトイネーブル信号WEバーを共にアクティブ（Lレベル）にして書き込みサイクルとし、

1回目の書き込みサイクルで47Hのデータが入力されると共に、2回目の書き込みサイクルでFFHのアドレスとD0Hのデータが入力された場合にWP解除コマン

(12)

21

ドが判定されて、WP信号発生回路9から出力されるWP信号が非アクティブ（Lレベル）となる。この際、1回目の書き込みサイクルで入力されるアドレスはコマンドの判定対象とはならないので、任意のアドレスとすることができる。このようにWP信号がLレベルになると、保護状態設定部2に設定されていた保護状態が無効となるので、表2に示したように、これ以降は保護状態設定部2の設定にかかわらず任意の消去ブロック1の消去／書き込み動作が実行可能となる。

【0069】以上説明したように、本実施形態の不揮発性半導体記憶装置は、消去ブロック1の消去／書き込み動作を禁止する保護状態を有効にするためのWP信号をコマンドステートマシン8内に設けたWP信号発生回路9によって発生させ、WP解除コマンドによってこのWP信号を非アクティブ（Lレベル）にすることができるので、外部からライトプロテクト信号WPバーを入力するためのWPバー入力端子を設ける必要がなくなる。また、ロックブロックコマンドにより消去ブロック1の保護状態設定部2に保護状態を設定すれば、自動的にWP信号もアクティブになるので、従来のようにロックブロックコマンドの発行後にライトプロテクト信号WPバーをアクティブにするのを忘れて重要なデータなどが破壊されるというようなおそれもなくなる。さらに、電源投入時やシステムのリセット時にもWP信号が強制的にアクティブとなるので、以前に保護状態を設定したことを忘れ誤ってデータなどを破壊するというようなおそれもなくなる。

【0070】ここで、表1や表3に示したコマンドは、システムのCPUなどから見れば、不揮発性半導体記憶装置に対して連続して2回の書き込み命令を実行してい

るにすぎない。したがって、プログラムの作成ミスや実行プログラムが暴走したような場合には、偶然にWP解除コマンドが発行され、さらにデータ書き込みコマンドやブロック消去コマンドが発行される危険が全くないとはいえない。そして、このような場合には、ロックブロックコマンドにより特定の消去ブロック1の保護状態設定部2を保護状態に設定すると共にWP信号をアクティブ（Hレベル）にして保護状態を有効にしていたとしても、この消去ブロック1に格納していた重要なデータやプログラムが破壊されるおそれがある。これに対して、外部からライトプロテクト信号WPバーを入力するためのWPバー入力端子を設けた従来の不揮発性半導体記憶装置では、ハードウェア的にこのWPバー入力端子をアクティブ（Lレベル）に設定しておけば、このような偶然による破壊を確実に防止することができる。そこで、本実施形態では、2回の書き込みサイクルの特定のデータの組み合わせに加えて、2回目の書き込みサイクルでは特定のアドレスが入力された場合にのみWP解除コマンドを判定するようにしている。このように2つのデータに1つのアドレスを加えてWP解除コマンドの判定を行うと、これらがWP解除コマンドと同じ値を同じ順序で連続して発行される確率は極めて低くなるので、実用上はこのような偶然による破壊を被るおそれはほとんどない。ところで、上記WP解除コマンドは、表4に示す第1コマンド例のように、2回目の書き込みサイクルにおいてもアドレスを無視しデータのみにより判定するように定めることができる。

【0071】

【表4】

| WP解除コマンド | 1回目の書き込みサイクル | | 2回目の書き込みサイクル | |
|----------|--------------|-----|--------------|-----|
| | アドレス | データ | アドレス | データ |
| 第1コマンド例 | Don't Care | 47H | Don't Care | D0H |
| 第2コマンド例 | FFH | 47H | Don't Care | D0H |
| 第3コマンド例 | FFH | 47H | FFH | D0H |

【0072】この第1コマンド例は、上記のような偶然による破壊があまり問題とならないような場合に利用できる。これによってWP信号発生回路9におけるアドレスラッチ回路19やアドレス比較回路20などが不要となり回路を簡易化すると共に、コマンド体系が複雑化することを防止することができる。また、このWP解除コマンドは、表4の第2コマンド例のように、2回目ではなく1回目の書き込みサイクルでアドレスがFFHであるかどうかを判断して判定したり、第3コマンド例のように、1回目と2回目の双方の書き込みサイクルでアドレスがFFHであるかどうかを判断して判定することもできる。第3コマンド例では、別途設けたAND回路によ

比較結果の論理積を取り、この結果を比較結果ラッチ回路16のセット端子に入力するだけでよく、これによって偶然によるデータの破壊の確率を上記実施形態の場合よりも低下させることができる。

【0073】さらに、上記WP解除コマンドは、2回の書き込みサイクルで送られて来るデータやアドレスにより判定を行ったが、偶然による破壊がほとんど問題とならない場合には、1回の書き込みサイクルで送られて来るデータまたはこのデータとアドレスの組み合わせにより判定を行うこともできる。また、これとは逆に、3回以上の書き込みサイクルで送られて来るデータまたはこのデータとアドレスの組み合わせにより判定を行うこともでき、このように書き込みサイクル数を増やせば偶然

(13)

23

による破壊の確率をさらに低下させることができる。ただし、書き込みサイクル数が増加すれば、回路構成が複雑になるだけでなく、コマンドの実行時間が長くなり使い勝手も悪くなるという欠点が生じる。

【0074】図7～図8は本発明の第2実施形態を示すものであって、図7はWP信号発生回路の構成を示すブロック図、図8はWP信号発生回路の動作を示すタイムチャートである。なお、第1実施形態で示したものと同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0075】上記第1実施形態では、一旦WP解除コマンドでWP信号が非アクティブになると、ロックブロックコマンドによって新たな保護状態を設定するか、または、システムをリセットしたり電源を再投入しなければ、このWP信号をアクティブにすることができなかった。そこで、本実施形態では、WP信号をアクティブにするためだけのWP設定コマンドを独立して設けた不揮発性半導体記憶装置について説明する。

【0076】本実施形態の不揮発性半導体記憶装置の全体構成は、図2に示した第1実施形態の場合と同じであ

24

る。しかし、図7に示すように、WP信号発生回路9には、WP信号発生部9aとWP解除コマンド判定部9bに加えて、WP設定コマンド判定部9cが設けられている。WP信号発生部9aとWP解除コマンド判定部9bの構成は、図1に示した第1実施形態と同じである。また、WP設定コマンド判定部9cは、WP解除コマンド判定部9bとほぼ同じ構成を成していて、第1データ比較回路14に比較値として設定される値が57Hであることだけが相違する。そして、このWP設定コマンド判定部9cの3入力AND回路21の出力は、ロック信号とリセット信号と共に、WP信号発生部9aのOR回路12に入力されるようになっている。

【0077】上記WP信号発生回路9は、第1実施形態と同様にWP解除コマンド判定部9bが表3に示したWP解除コマンドを判定してWP信号を非アクティブにするだけでなく、WP設定コマンド判定部9cが表5に示すWP設定コマンドを判定してWP信号をアクティブにすることができる。

【0078】

【表5】

| コマンド | 1回目の書き込みサイクル | | 2回目の書き込みサイクル | |
|----------|--------------|-----|--------------|-----|
| | アドレス | データ | アドレス | データ |
| WP設定コマンド | Don't Care | 57H | FFH | D0H |

【0079】即ち、WP設定コマンド判定部9cは、図8に示すように、時刻t11に1回目の書き込みサイクルとして、チップイネーブル信号CEバーとライトイネーブル信号WEバーが共にアクティブ（Lレベル）になってから57Hのデータが入力されると、時刻t12でのタイミング信号φ1の立ち下がりによってデータラッチ回路13がこの57Hのデータをラッチするので、第1データ比較回路14の比較結果がHレベルになり、少し遅れて比較結果ラッチ回路16が出力する前回比較結果φAがHレベルになる。また、時刻t13に2回目の書き込みサイクルとして、チップイネーブル信号CEバーとライトイネーブル信号WEバーが共にアクティブになってからFFHのアドレスとD0Hのデータが入力されると、時刻t14でのタイミング信号φ1の立ち下がりによってアドレスラッチ回路19とデータラッチ回路13がこれらFFHのアドレスとD0Hのデータをそれぞれラッチするので、アドレス比較回路20と第2データ比較回路15の比較結果が共にHレベルになる。ところで、このとき第1データ比較回路14の比較結果はLレベルになるが、比較結果ラッチ回路16は、時刻t15にカウンタ回路17から出力されるカウントアップ信号φBがHレベルとなってリセットされるまで、前回比較結果φAのHレベルの出力を維持する。したがって、時刻t14～t15の間は、この比較結果ラッチ回路16と第2データ比較回路15とアドレス比較回路20の出力が全てH

レベルとなるので、3入力AND回路21の出力もHレベルとなる。そして、これによってWP設定コマンド判定部9cの出力がHレベルとなるので、WP信号発生部9aのOR回路12を介してWP信号ラッチ回路11がセットされ、WP信号がアクティブ（Hレベル）となる。

【0080】この結果、本実施形態のWP信号発生回路9は、第1実施形態の場合と同様に、1回目の書き込みサイクルで47Hのデータが入力されると共に、2回目の書き込みサイクルでFFHのアドレスとD0Hのデータが入力された場合に、WP解除コマンドであると判定するので、WP信号が非アクティブ（Lレベル）となる。すると、保護状態設定部2に設定されていた保護状態が無効となるため、表2に示したように、これ以降は保護状態設定部2の設定にかかわらず任意の消去ブロック1の消去／書き込み動作が実行可能となる。また、この後に、1回目の書き込みサイクルで57Hのデータが入力されると共に、2回目の書き込みサイクルでFFHのアドレスとD0Hのデータが入力されると、WP設定コマンドであると判定するので、WP信号がアクティブ（Hレベル）となる。すると、保護状態設定部2に設定されていた保護状態が再び有効となるため、表2に示したように、これ以降は保護状態設定部2に保護状態が設定された消去ブロック1の消去／書き込み動作が禁止される。

(14)

25

【0081】以上説明したように、本実施形態の不揮発性半導体記憶装置は、第1実施形態の場合と同様に、WP信号をコマンドステートマシン8内に設けたWP信号発生回路9によって発生させるので、外部からライトプロテクト信号WPバーを入力するためのWPバー入力端子を設ける必要がなくなる。また、WP解除コマンドによってWP信号を非アクティブにするだけでなく、WP設定コマンドによってこのWP信号をアクティブにすることもできる。しかも、ロックブロックコマンドにより消去ブロック1の保護状態設定部2に保護状態を設定す

26

*時やシステムのリセット時にもWP信号が強制的にアクティブになる。ただし、本実施形態の場合には、WP設定コマンドが独立して設けられるので、ロックブロックコマンドが入力されてもWP信号が自動的にアクティブにはならないようにすることもできる。

【0082】ところで、上記WP設定コマンドについても、表6に示す第1コマンド例のように、1回目と2回目の書き込みサイクルで共にアドレスを無視しデータのみにより判定するように定めることができる。

【0083】

【表6】

| WP設定コマンド | 1回目の書き込みサイクル | | 2回目の書き込みサイクル | |
|----------|--------------|-----|--------------|-----|
| | アドレス | データ | アドレス | データ |
| 第1コマンド例 | Don't Care | 57H | Don't Care | D0H |
| 第2コマンド例 | FFH | 57H | Don't Care | D0H |
| 第3コマンド例 | FFH | 57H | FFH | D0H |

【0084】この第1コマンド例は、第1実施形態で説明した実行プログラムの暴走などによる誤ったコマンド操作があまり問題とならないような場合に利用でき、これによってWP信号発生回路9の回路構成とコマンド体系を簡易化することができる。また、このWP設定コマンドは、表6の第2コマンド例のように、2回目ではなく1回目の書き込みサイクルでアドレスがFFHであるかどうかを判断して判定したり、第3コマンド例のように、1回目と2回目の双方の書き込みサイクルでアドレスがFFHであるかどうかを判断して判定することもできる。第3コマンド例では、誤ったコマンド操作の確率を上記実施形態の場合よりも低下させることができる。

【0085】さらに、上記WP設定コマンドは、2回の書き込みサイクルで送られて来るデータやアドレスにより判定を行ったが、誤ったコマンド操作がほとんど問題とならない場合には、1回の書き込みサイクルで送られて来るデータまたはこのデータとアドレスの組み合わせにより判定を行うこともできる。また、これとは逆に、3回以上の書き込みサイクルで送られて来るデータまたはこのデータとアドレスの組み合わせにより判定を行うこともでき、このように書き込みサイクル数を増やせば誤ったコマンド操作の確率をさらに低下させることができる。ただし、書き込みサイクル数が増加すれば、回路構成が複雑になるだけでなく、コマンドの実行時間が長くなり使い勝手も悪くなるという欠点が生じる。

【0086】図9は本発明の第3実施形態を示すものであって、WP信号発生回路の構成を示すブロック図である。なお、第1および第2実施形態で示したものと同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0087】上記第1および第2実施形態では、WP信号をアクティブにするためのロックブロックコマンドや

WP設定コマンドと、WP信号を非アクティブにするためのWP解除コマンドとを区別していたが、本実施形態では、1つのWP解除コマンドのトグル動作によってこのWP信号を制御する場合について説明する。本実施形態の不揮発性半導体記憶装置の全体構成は、図2に示した第1実施形態の場合と同じである。また、図9に示すように、本実施形態のWP信号発生回路9におけるWP解除コマンド判定部9bも、図1に示した第1実施形態の場合と同じ構成であり、同様にWP解除コマンドを判定する。しかし、WP信号発生部9aは、第1実施形態の場合と異なり、第1のフリップフロップ回路を構成するインバータ31およびNOR回路32と、第2のフリップフロップ回路を構成するインバータ33およびNOR回路34と、このNOR回路34の出力を反転してWP信号として出力するインバータ35と、2個のNチャンネルのMOS・FET36、37と、WP解除コマンド判定部9bの3入力AND回路21の出力を反転するインバータ38とからなる。また、NOR回路32、34の他方の入力にはリセット信号が入力される。

【0088】上記構成のWP信号発生部9aは、通常時は3入力AND回路21の出力がLレベルとなるので、MOS・FET36がOFFでMOS・FET37がONとなる。そして、電源投入時やシステムのリセット時にリセット信号がHレベルになると、NOR回路34がLレベルの出力を維持すると共に、インバータ35から出力されるWP信号がアクティブ（Hレベル）となる。また、この際、WP信号はMOS・FET36を介してNOR回路32に送られるので、このNOR回路32の出力はLレベルとなる。

【0089】ここで、WP解除コマンド判定部9bにWP解除コマンドが入力されて3入力AND回路21の出力がHレベルになると、MOS・FET37がOFFと

(15)

27

なるので、NOR回路32のLレベルの出力が維持されると共に、MOS・FET36がONとなることにより、このNOR回路32の出力のLレベルがNOR回路34に入力される。すると、3入力AND回路21の出力がLレベルに戻りMOS・FET36がOFFになった後も、NOR回路34がHレベルの出力を維持し、インバータ35から出力されるWP信号が非アクティブ（Lレベル）に変わる。ただし、3入力AND回路21の出力がLレベルに戻りMOS・FET37がONになると、WP信号のLレベルによりNOR回路32の出力はHレベルとなる。

【0090】また、WP解除コマンド判定部9bに再度WP解除コマンドが入力されて3入力AND回路21の出力が再びHレベルになると、MOS・FET37がOFFとなるので、NOR回路32のHレベルの出力が維持されると共に、MOS・FET36がONとなることにより、このNOR回路32の出力のHレベルがNOR回路34に入力される。すると、3入力AND回路21の出力がLレベルに戻りMOS・FET36がOFFになった後も、NOR回路34がLレベルの出力を維持し、インバータ35から出力されるWP信号が再びアクティブ（Hレベル）となる。そして、以降も同様にしてWP解除コマンドが入力されるたびに、WP信号のアクティブと非アクティブがトグル動作によって交互に入れ変わる。

【0091】以上説明したように、本実施形態の不揮発性半導体記憶装置によれば、WP解除コマンドをWP設定コマンドと兼用することができるので、コマンド体系を簡略化することができる。

【0092】なお、上記第1～第3実施形態では、WP解除コマンドやWP設定コマンドを判定するためのデータの値を47Hや57HとD0Hにシアドレスの値をFFHにしたが、本発明はこれらの値に限定されるものでなく、他のコマンドについても同様である。また、上記第1～第3実施形態では、WP信号がHレベルの場合にアクティブとしたが、Lレベルの場合にアクティブとすることもでき、他の信号についても同様である。

【0093】さらに、上記第1～第3実施形態では、図10に示すような浮遊ゲート42を備えたメモリセルによるフラッシュメモリについて例示したが、例えばゲート酸化膜に強誘電体薄膜を用いたメモリセルを有する不揮発性半導体記憶装置、または、DRAMキャパシタの容量部の酸化膜に強誘電体薄膜を用いたメモリセルを有する不揮発性半導体記憶装置などについても同様に実施することができる。強誘電体薄膜を用いた不揮発性半導体記憶装置は、この強誘電体薄膜によるゲート酸化膜の分極反転を利用してデータの記憶を行うので、従来のように極めて薄いトンネル酸化膜を用いる必要がなくなり、さらに高集積化を図ることができるという利点がある。

28

【0094】

【発明の効果】以上のように本発明の不揮発性半導体記憶装置によれば、各消去ブロックなどに設定された保護状態を有効にするためのWP信号を内部で発生させると共に、このWP信号を外部からのコマンドなどによって制御することにより、外部からライトプロテクト信号WPバーを入力するためのWPバー入力端子を設ける必要がなくなり、既存のEPROMやEEPROMなどとの互換性を保って周辺回路を簡略化することができるようになる。また、このライトプロテクト信号WPバーの設定忘れなどにより誤って重要なデータなどが破壊されるようなこともなくなる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示すものであって、WP信号発生回路の構成を示すブロック図である。

【図2】本発明の第1実施形態を示すものであって、不揮発性半導体記憶装置の構成を示すブロック図である。

【図3】本発明の第1実施形態を示すものであって、WP信号ラッチ回路の具体的構成を示すブロック図である。

【図4】本発明の第1実施形態を示すものであって、データラッチ回路の具体的構成を示すブロック図である。

【図5】本発明の第1実施形態を示すものであって、第1データ比較回路の具体的構成を示すブロック図である。

【図6】本発明の第1実施形態を示すものであって、WP信号発生回路の動作を示すタイムチャートである。

【図7】本発明の第2実施形態を示すものであって、WP信号発生回路の構成を示すブロック図である。

【図8】本発明の第2実施形態を示すものであって、WP信号発生回路の動作を示すタイムチャートである。

【図9】本発明の第3実施形態を示すものであって、WP信号発生回路の構成を示すブロック図である。

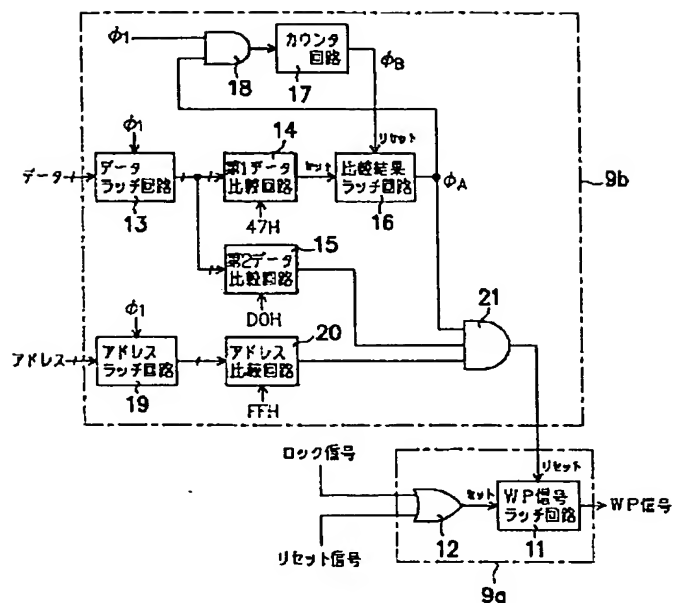
【図10】フラッシュメモリのメモリセルの構成を示す回路図である。

【符号の説明】

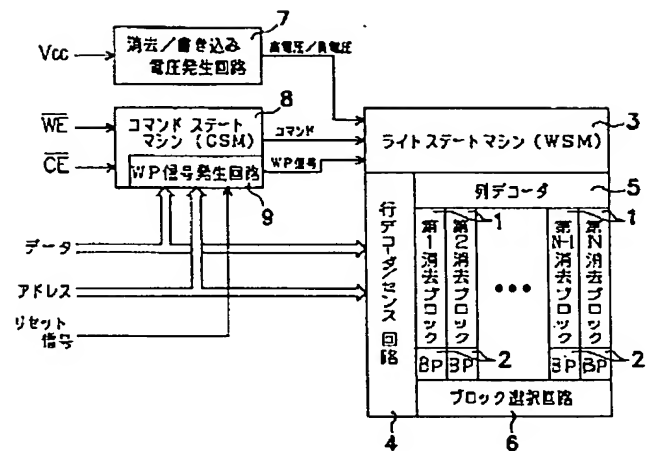
- 1 消去ブロック
- 2 保護状態設定部
- 3 ライトステートマシン
- 8 コマンドステートマシン
- 9 WP信号発生回路
- 9a WP信号発生部
- 9b WP解除コマンド判定部
- 9c WP設定コマンド判定部
- 13 データラッチ回路
- 14 第1データ比較回路
- 16 比較結果ラッチ回路
- 19 アドレスラッチ回路
- 20 アドレス比較回路
- 21 3入力AND回路

(16)

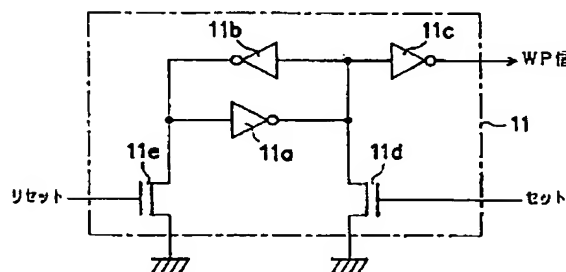
【図1】



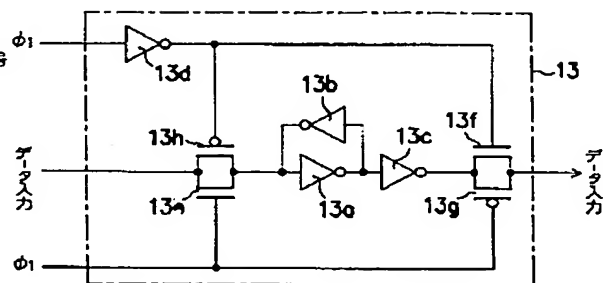
【図2】



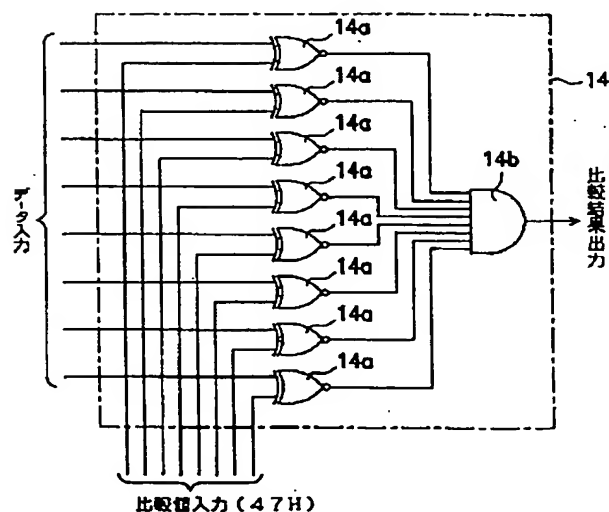
【図3】



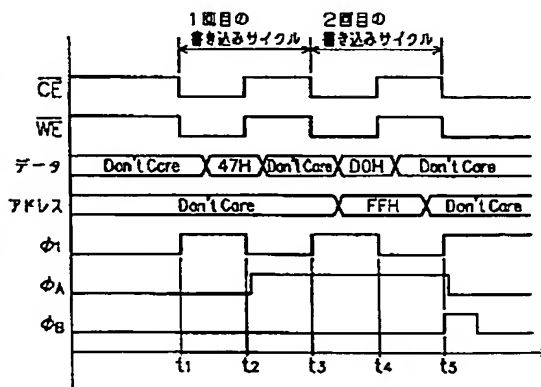
【図4】



【図5】

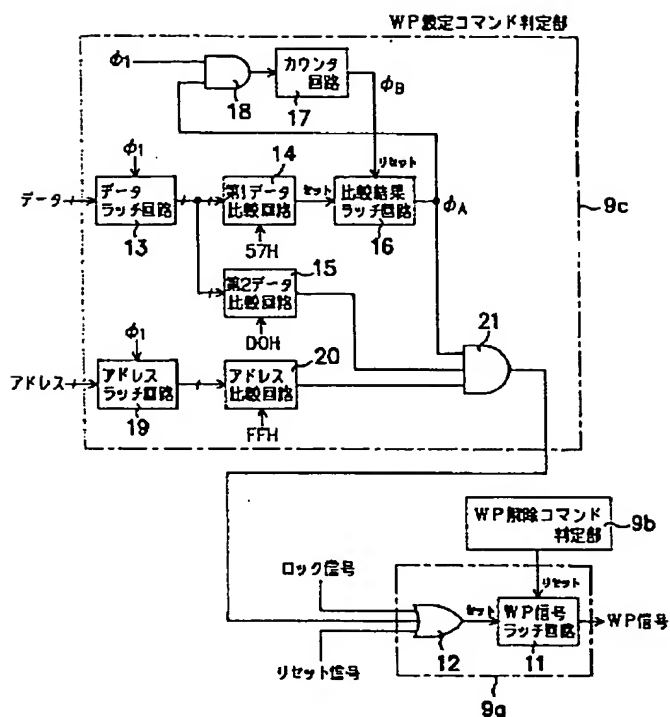


【図6】

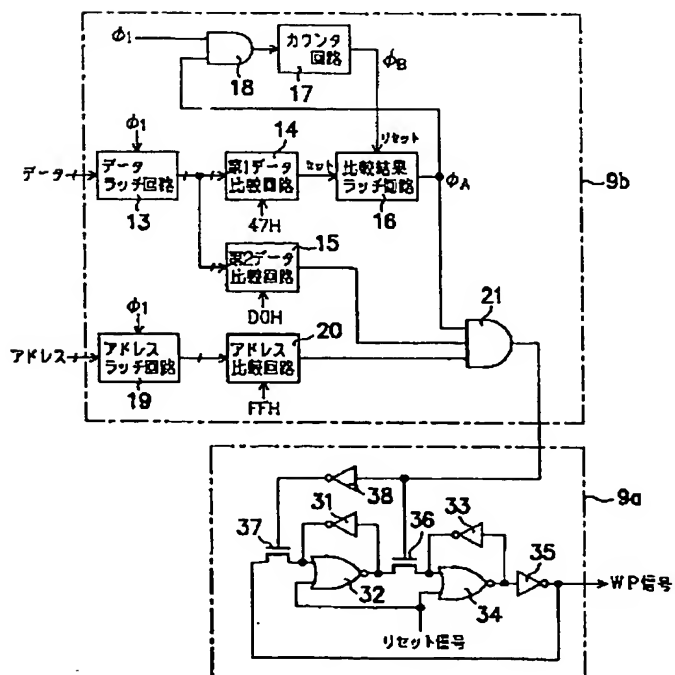


(17)

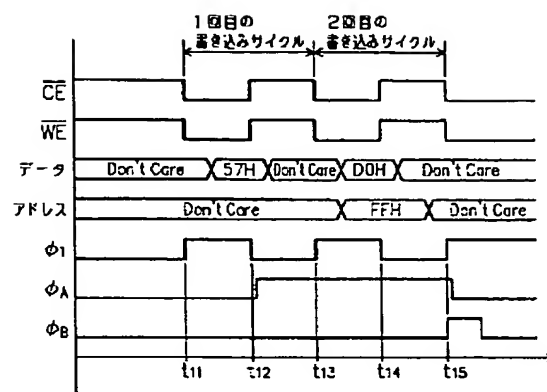
【圖 7】



【図 9】



【図 8】



【図 10】

